

[51] Int. Cl⁶

H01L 21/44 · H01L 29/04

H01L 31/036 H01L 31/0376

H01L 31/20 H01L 23/48

H01L 23/52 H01L 29/40

[11]公开号 CN 1214799A

[43]公开日 1999年4月21日

[74] 专利代理机构 中原信达知识产权代理有限责任公司

代理人 余 朦

[86]国际申请 PCT/US97/04899 97.3.26

[87]国际公布 WO97/36324 英 97.10.2

[85]进入国家阶段日期 98.9.28

[71] 申请人 现代电子美国公司

地址 美国加利福尼亚州

[72]发明人 斯科特·H·霍姆伯格

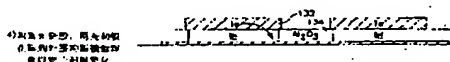
斯瓦米纳森·拉杰什

权利要求书 4 页 说明书 13 页 附图页数 17 页

[54]发明名称 有源矩阵显示器及其制造方法

[57]摘要

改进的多层矩阵线(34)包括倒置栅薄膜晶体管(46),以减少其中的缺陷,增强引入此晶体管的矩阵器件的性能,包括有源矩阵显示器(10)。倒置栅线由构图前按顺序淀积的多层金属结构形成,包括第一底层难熔层(124)、铝层(126)和第二难熔层(128),它们用于栅结构。铝层被阳极氧化以邻近栅极,从而防止台阶覆盖问题。在利用多层栅结构形成有源矩阵显示器存储电容(50)时,可提供进一步的改进。



ISSN 1008-4274

专利文献出版社出版

说明书

有源矩阵显示器及其制造方法

5 技术领域

本发明涉及性能提高了的薄膜矩阵、制造薄膜矩阵的方法及引入改进了的晶体管的矩阵显示器。更具体说，本发明涉及制造多层薄膜矩阵的方法，以提高由其制造的最终矩阵器件的成品率，及提高矩阵可测量性和性能。

10

背景技术

近年来，人们对薄膜晶体管（TFT）及引入这种薄膜晶体管的矩阵器件的兴趣越来越浓，所说的矩阵器件例如有存储阵列、各种类型的集成电路、及机械开关和继电器的替换物等。例如，舌簧继电器会疲劳，MOS 开关具有太大的漏电流。

15

薄膜矩阵晶体管的一个具体典型应用是平板显示器，例如，用于替代阴极射线管显示器（CRT）的，液晶显示器、电致发光器件等。平板显示器有希望比 CRT 重量轻、体积小且功耗低很多。另外，由于它们的工作模式的缘故，CRT 总要一定程度上发生失真。CRT 是通过在涂有荧光粉的屏上投射电子束来工作的。电子束会产生聚焦从而于其上以与束密度成正比的密度发光的光斑。不间断运动的束在屏上产生不同的光斑，从而以不同的密度发光，由此进行显示。因为电子束从其静态源到屏的边缘比其到中间要走更长的距离，所以束以不同的角度撞击屏上的不同点，导致光斑尺寸和形状的改变（即失真）。

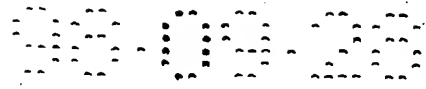
20

25

30

35

因为与借助 CRT 电子束撞击屏上的荧光粉进行限定不同，在基片上光刻构图每个像素，所以平板显示器本来就不存这种失真。平板显示器的制造中，淀积并一般通过在如玻璃等基片上光刻构图电路元件。在各步骤淀积和蚀刻这些元件，从而形成带有像素触点的垂直行和列电路控制线矩阵，及在控制线行和列之间的控制元件。像素矩阵触点上有一种介质，这种介质是一种在介质控制元件上加阈值电压时或发光（发射）或调节背景光发射（不发射）的物质。该介质可以是液晶、如硫化锌等电致发光或电化材料、如氖和氩等气体等离子体、分色染料、或如响应加于其上的电压能够发光或另按另一种方式改变光特性等其它合



适的材料或器件。响应于其上所加的合适电压在介质中产生光或发生光学改变。每个触点上的光有源介质一般被称为图象单元或“像素”。

5 平板显示器的电路一般设计成使数据通常在所有列线上移到预定电压。平板和其它矩阵器件中的行线和列线的导电性、集成度及可靠性是很重要的。高导电性的线可用于场发射器件（FED）及如有源矩阵器件等其它矩阵器件。在有源矩阵器件中，激发一行，以启动这一行的所有晶体管（一次对一行进行写入）。然后该行截止，下一行的数据移到所有的列线，然后激发第二行并进行写入。重复这个过程，直到所有
10 行被寻址完为止。一般在一帧周期中对所有行进行写入，一帧通常为约1/60秒或16.7ms。然后在对行写入时，代表数据的电压选择性地加到特定列上，使选中的像素点亮或改变光学特性。像素可以制成通过施加大电压或电流、或较长电压或电流脉冲而改变密度。利用具有扭曲向列有源材料的液晶显示器（LCD），在没激活时，显示器基本上是透明的，而在被激活时变为吸收光，或反之依赖于极化方向也是一样。这样，
15 随着一行一行地激活显示矩阵的像素而在显示器上产生图象。由于每个像素位置是光刻确定和固定的，所以关于CRT的上述几何形状失真不构成平板显示器的要素。

20 现有技术制造有源矩阵显示器结构（例如每个像素中使用如薄膜二极管、MIM或薄膜晶体管等非线性控制元件的有源矩阵显示器）的方法的一个主要问题是，象集成电路一样，通常存在着产品成品率的问题。即，所生产的器件的成品率一般不是100%，成品率（没有缺陷的器件的百分比）最坏时为0%。高质量的显示器不能容忍任何有缺陷的控制元件或其它元件。另外，一般情况下，与小尺寸显示器相比，大尺寸显示器的需要量更大。因此，制造商面临着优先制造大尺寸和/或高分
25 辨率显示器的两难境地，但如果有几个晶体管不合格并因而导致几个像素出故障，则不得不抛弃整个产品。换言之，由于可用产品的成品率降低，制造商因单元的制造成本升高而蒙受损失。

30 一种合乎要求的矩阵晶体管包括形成于矩阵基片上的倒置栅。倒置栅TFT LCD结构中，栅金属一般直接淀积于玻璃基片上。为了提高高性能TFT阵列，栅金属应该具有高导电性，对基片和后续层的良好粘附性，在所需的后续高温处理中不产生小丘，关于后续层，要求栅金属上
35 具有最小的的台阶覆盖，并且栅金属应该能够被阳极氧化。

为解决这些问题，已尝试了许多方法，包括单层难熔金属层栅、铝或铝/硅和/或铜合金栅金属、难熔金属与铝栅金属的结合、及甚至深腐蚀（thick etched）的单层金属栅。这些方法中的每一种都存在问题如下所述的一个或几个问题。

5

本发明提供一种制造包括倒置栅矩阵晶体管的改进矩阵的方法，由此可以显著地改善成本升高和成品率下降的问题，所说晶体管具有高性能的多层栅金属结构，矩阵缺陷极大减少，可以应用于所有类型的集成电路，例如应用于有源矩阵显示器。

10

本发明的公开

15

这里提供一种制造包括倒置栅薄膜矩阵晶体管的矩阵的改进方法，以减少引入该晶体管的器件中的缺陷，增强器件性能，所说器件包括有源矩阵显示器。倒置栅线由构图前依次淀积的多层金属结构形成。该多层结构包括构成栅结构的第一底层难熔层、铝层和第二难熔层。邻近栅尤其是在矩阵的交点处阳极氧化该铝层，以防止附加淀积的层的台阶覆盖问题。多层栅结构粘附于基片和随后的层上，具有高导电性，可以抑制小丘。因此可以提高所述矩阵器件的成品率。利用多层栅结构形成有源矩阵显示存储电容可以提供进一步的改进。

20

附图的简要说明

图 1 是引入本发明的多层线和晶体管的有源矩阵显示器的示意平面图；

25

图 2 是在先申请的倒置栅晶体管的一个实施例的剖面图；

图 3 是图 2 所示晶体管实施例的第二剖面图；

图 4A 和 4B 是展示其间夹有介质的两矩阵金属层的交点的部分剖面图；

图 5A — 5C 是某些矩阵金属制造步骤的部分剖面图；

30

图 6A — 6Q 是一种优选的多层线和倒置栅晶体管实施例及显示器的制造步骤的部分剖面图；及

图 7A — 7Q 是第二多层线和晶体管及显示器的制造步骤的部分剖面图。

实施本发明的最佳模式

35

正如前面所述的，大量器件可以利用薄膜晶体管（TFT）来形成，一种特殊的应用是有源矩阵液晶显示器（AMLCD），下面将把本发明

的多层线和倒置栅 TFT 作为 AMLCD 的一部分进行描述。参见图 1，该图是由参考数字 10 表示的可以引入本发明的 AMLCD 的示意图。

所示的 AMLCD10 包括一组任选的外部短路条 12、14、16 和 18，关于这些短路条，在 1995 年 7 月 31 日申请的题为“有原矩阵 ESD 保护及测试方法(ACTIVE MATRIX ESD PROTECTION AND TESTING SCHEME)”的共同待审申请 08/497372 中有更充分的描述，这里引入此文献作为参考。在处理过程中，外部短路条 12、14、16 和 18 被沿划片线 20 粉碎，从而被去掉，见系列号为 08/497372 中更充分的描述。

所示的 AMLCD10 还可以包括一组内部短路条 22、24、26 和 28。内部短路条 22、24、26 和 28 也是在处理过程中应用的，见系列号为 08/497372 中更充分的描述。然而，最好只是内部短路条 22、24、26 和 28 只是与沿线 30 上的 AMLCD 10 电不连接，但保留 AMLCD 10 的实际部分。

AMLCD 10 淀积于一般由玻璃屏盘构成的基片 32 上，其被沿划片线 20 断开。基片 32 也可以由其它类型的绝缘材料构成，这些材料包括带有绝缘涂层的金属化屏盘 AMLCD 10 形成有许多行线 34 和许多列线 36，它们构成大的矩阵，这里所描述的只是其中的小部分。行线 34 包括众多与每条行线 34 相连的驱动器接触焊盘 38 之一，列线 36 包括众多与每列线 36 相连的驱动器接触焊盘 40 之一。

AMLCD 10 包括大量形成于行线 34 和列线 36 之间的相同像素，所以下面只具体描述一个像素 42。在每个矩阵交点 44 处，行线 34 和列线 36 交叉，形成 TFT 46 用来连接这两条线与像素触点 48。有源液晶介质至少淀积于触点 48 之上，这种介质将响应交点 44 处的综合电压或电流而改变性质。在 AMLCD 10 的整个矩阵中，像素 42 上的介质一般呈方形、矩形或点形。图中未按比例画出晶体管 46 和触点 48 的实际尺寸，只是示意性地展示。

应该注意，对于可使用的行线 34 和列线 36 的数量或对于 AMLCS 10 的外部尺寸没有理论上的限制。处理设备决定了对外部尺寸的实际限制，这种限制随设备的改进会不断地改变。

制造 AMLCD 遇到的问题是，如果 AMLCD 10 含有故障 TFT 或其

它电路元件，导致了一个或多个像素不工作，那么一般显示器不得不废弃。一种掩蔽故障像素 42 的在先技术使用了带有将像素 42 耦合到相邻行 R1 的像素 42 的附加晶体管 49。那么，在对行 R1 进行写入时，数据不仅提供给在前的像素 42'，而且通过晶体管 49 提供给像素 42。然后在对行 R2 进行写入时，像素 42 的数据通过晶体管 46 从前一像素写到此数据上。然而，如果晶体管 46 出故障，像素 42 将不能工作，取而代之的是保留了源于前一行 R1 的数据。这掩盖了像素 42 不能正确工作的事实。

关于另一可选择方案，像素 42 还可以包括耦合到行 R1 上存储电容 50，以保持和稳定每帧期间写到像素 42 上的电压。

TFT 46 和 AMLCD 10 的形成提高了有源像素的成品率。下面将参照图 2 和 3 说明 TFT 46 及其制造方法。关于 TFT46，在 1995 年 7 月 31 日申请的系列号为 08/497371 且题为“改进性能的矩阵 FF7，利用该 TFT 制成矩阵显示器的方法 (IMPROVED PERFORMANCE MATRIX TFT, METHOD OF MAKING AND MATRIX DISPLAYS INCORPORATING THE TFT)”由甘进行了本发明的描述。TFT46 形成倒置栅 TFT，首先淀积其栅 52 作为行线 34。完成的 TFT46 如图 2 和 3 所示。系列号为 08/497371 的申请中以最佳方式展示和描述了各工艺步骤。尽管各层的厚度对于 TFT46 来说不重要，但仍描述了优选的厚度和材料，以形成 TFT 46 和 AMLCD 10 的优选实施例。

栅 52 最好由两层金属形成，淀积第一铝层，较好是铝/铜合金，并构图，形成线部件 54。为了形成冗余行线 34，在铝部件 54 上淀积第二栅层钽，并构图，形成覆盖元件 54 的线部件 56。部件 56 还具有指状物 58，构成各个 TFT46 的实际栅。线部件 54 最好由铝或铝合金构成。因为铝有高导电性，所以用其作长线，但对于小显示器来说这并不重要，如果需要，则可从小显示器中去掉。铝大约要淀积到 1200 埃以提供导电性，但对于防止部件 54 上的台阶覆盖来说还是太薄。因为冗余性，钽部件 56 或其它阳极化的难熔金属最好是分开淀积到约 2000 埃。构成 TFT46 的栅的指状物 58 不要求是铝层，一般只由钽构成。

然后阳极氧化露出的钽部件 56，将之强 (hard) 阳极氧化形成氧化钽 Ta_2O_5 绝缘层 60，从而形成第一栅绝缘层 60。可以利用去离子水加 0.1-4.0 % 的柠檬酸溶液进行强阳极氧化。可以利用约 60 伏的电压，

形成非常精确且均匀氧化层 60，到约每伏 15 埃或约 900 埃厚。焊盘 38 和 40 用光刻膜覆盖，以防止焊盘被阳极氧化，或它们可以被阳极氧化，然后腐蚀掉。

5 另外，可以由淀积的介质层构成第一栅绝缘体 60。然后淀积第二或冗余绝缘体 62，较好是淀积氮化硅 Si_3N_4 ，厚度约 3000 埃。依次淀积两层附加层，非晶硅层 64 和 N+掺杂的非晶硅 66。选择性腐蚀 N+层 66 和非晶硅层 64，在氮化层 62 上的栅部分 58 上留下不连续区 70。非晶硅层 64 淀积到约 1500 埃厚，N+层 66 淀积到约 300 埃厚。构图其余的 N+层后形成欧姆接触部件 68。

10 在淀积下一金属层前再进行阳极氧化，尤其是在漏或源金属叠置于栅金属上的点，防止可能发生的短路。所说的再阳极氧化是在至少源和栅线间最大正常电压两倍的电压下进行的。再阳极氧化在钽或下面的铝层中形成新的氧化物，以防止以后淀积的金属通过暴露栅金属的针孔与栅线短路。

15 然后淀积源—漏（S—D）层 72，对于大显示器来说，源—漏层最好是由多层金属构成。对于小显示器来说，层 72 可以是单金属层，例如铝或钼。通过淀积 500 厚的第一势垒层钼形成优选的大器件多层 72。然后淀积约 5000 埃的第二导电加强层铝或铝合金。然后淀积约 300 埃的第三势垒层钼或钼合金。另外，也可以只淀积前两层。

20 然后构图 S—D 层 72，形成源部件 74、漏部件 76 和上电容接触部件 78。去掉接触部件 68 间的 N+层，在源部分 74 和漏部分 76 间形成晶体管沟道区 80。此时，晶体管 46 具有了电功能。存储电容 50 也具有了电功能，它是由接触部分 78 和氮化层 62 的底层部分、氧化层 60 及栅 52 构成的。此时，已经可以根据需要对晶体管 46 和电容 50 进行电测试了。

25 30 然后淀积约 7000 埃的第一钝化层 82，该介质层最好由 Si_3N_4 构成。该介质层也可以由淀积的 SiO_2 、旋涂玻璃（SOG）或其它有机介质材料构成。构图层 82，形成接触开孔 84 和电容接触开孔 86。在将要形成冗余列线时，形成通路 88，以提供到底层列线 36 的接触。

35 然后淀积象素 ITO 层 90，并构图，在开孔 84 中形成漏触点、在

开孔 86 中形成电容触点、通过通路 88 (可应用的) 和像素 48 进行接触形成冗余列线。图中的像素 48 未按比例示出, 该部分有偏 (the section is offset), 以包括晶体管 46 和电容 50 这两部分结构, 这两部分彼此间参差不齐。该部分没有展示出列 ITO 和像素 ITO 48 间的电隔离 (见 1)。图中未示出附加的晶体管 49, 但可以用与晶体管结构 46 相同的方式形成该晶体管。

形成最后的钝化层 92, 完成 TFT 结构 46。形成钝化层 92 的方式与层 82 相同, 其厚度约为 2000 ~ 3000 埃。层 92 也可以形成在彩色滤波器基片上, 或可以形成在两者之上。

尽管这里优选以倒置栅 TFT 进行了描述, 但多层线可应用于任何类型的矩阵。最好是此矩阵包括非线性控制元件, 例如薄膜二极管、MIM 或 TFT, 然而, 多层线的优点是限于任何特定的非线性控制元件。

如 TFT 46 等倒置栅 TFT LCD 结构中, 一般首先直接在玻璃基片上淀积和刻蚀金属。非常需要高性能的金属层

1. 高导电性—由于栅金属线 52 和列线 36 阻挡了光通过 LCD 屏盘, 所以制造商试图使栅和列线的宽度尽可能的窄。但是, 这些线的电阻随着其宽度的减小而增大。对于小信息量 (行和列线的数量少) 和少灰影的小显示器来说, 可以容忍高阻的行和/或列线。在这些矩阵中, 可以用如铝、钽、铬、镍、镍铬铁合金、钛或钨等薄难熔金属作行和/或列金属。因为厚线的应力和龟裂的缘故, 难熔金属的最大淀积厚度一般限制在约 2000 埃。在需要低阻线时, 可结合如铝或铜等高导电性金属与难熔金属形成行或列金属 34、36。这两种情况下, 行或列金属线皆通过以下步骤形成: 1) 淀积金属, 2) 涂光刻胶, 3) 软烘光刻胶, 4) 在光刻胶上曝光图形, 5) 将曝光或未曝光的光刻胶显影, 6) 在腐蚀前硬烘光刻胶, 7) 干法或湿法腐蚀金属层, 8) 剥离光刻胶。

2. 小丘抑制—在加热到所需的后续处理温度 300 °C 或更高温度时, 第一金属, 无论是行还是列金属都不能产生小丘。形成小丘会刺破内金属介质, 导致行和列金属短路。在如 TFT 46 等倒置栅 TFT 结构中, 行或栅金属可能与源或漏金属短路, 导致 TFT 不能工作。这个问题不限于 AMLCD, 在构图了第一金属, 并随后升高温度处理后, 可能发生在 X

— Y 矩阵已被寻址的任何阵列中。如铝和铜等高导电性金属对这个问题最敏感。

3. 低台阶覆盖形貌—如果为了降低行线 34 的电阻而将栅金属制作得厚（3000 埃或更厚），则第一金属上和交点 44 处的内金属介质上的第二金属或列线 36 的台阶覆盖会导致在交点 44 处产生故障。介质会不能完全覆盖第一金属，因此第二金属会与第一金属短路。该介质还可以覆盖第一金属，但第二金属和/或介质可能会受应力产生对电击穿的薄弱点。另外，第二金属不能完全覆盖此介质，导致第二金属线中产生空洞/开口。希望平面化第一金属线 34 上台阶或使之最小化。

4. 第一金属的阳极氧化物形成—重要的是第一金属（栅）能够被阳极氧化（转化为金属氧化物），其理由如下：

a. 在如图 4A 和 4B 所示的两层金属系统的交点处，两金属 100、102 至少由一层介质 104 隔开，防止金属间的短路。如果内金属介质偶然具有针孔（未示出），则两金属 100、102 会短路，导致电路不能工作。首先阳极氧化栅或第一金属 100 的表面，形成金属氧化层 106，然后淀积内金属介质 104，从而在两金属 100、102 间形成双绝缘层。在两介质层 104、106 的相同位置发生针孔的几率极小，所以可以形成高成品率的两层金属系统。这对于可能具有数百万交点 44 的大 X—Y 矩阵电路来说相当重要。

b. 在 TFT 结构 46 中，阳极化金属氧化物 106 可以被当作一个电容。该电容位于栅绝缘体下，容性地耦合栅与栅绝缘体。尽管该电容不能增强 TFT 的性能，但甚至在栅绝缘体 104 中存在针孔的情况下，也可以防止栅 100 和源—漏金属 102 间可能发生的短路。

c. 在 TFT 有源矩阵液晶显示（AMLCD）结构 10 中，有时其优点是在栅线 34 上形成存储电容，以存储电荷，并稳定 LCD 像素 42 上的电压。假定正在寻址显示器的行 2，则该行线上的所有 TFT 的漏触点皆连接到像素 ITO 和与行 1 或已在先寻址的行线相连的存储电容 50 上。由行 2 寻址的所有像素 42 的存储电容 50 在行 1 上是垂直的，如图 2 所示。由于希望减小断开的像素区和行线的面积，所以需要薄且高质量、高介电常数、低漏电的绝缘体。形成 Ta_2O_5 的钽阳极氧化对于该应用来说是理想的。

d. 可以用其它两个和三个元件非线性控制器件, 如二极管和 MIM。金属-绝缘体-金属 (MIM) 结构也可以用第一金属的阳极氧化工艺形成。MIM 结构有时用作非线性元件代替 TFT 驱动 TFT 的 LCD 象素。

5 现有技术第一金属结构的问题

1. 难熔第一金属栅结构

如前面所列的难熔金属一般对基片有很好的粘附性, 不会在升高的温度下形成小丘, 具有很高的电阻。然而, 这些金属中只有 Ta、Nb、Ti 和 Zr 可被阳极氧化, 产生对于电容 50 和内金属介质 106 有用的无孔氧化物。图 5A 中, 单用难熔金属层 108 限于线电阻不是重点考虑对象的电路和小显示矩阵。

2. 铝或铝 (Si 和/或 Cu) 合金第一金属栅结构

铝和铝合具有高导电性, 但易于在升高的温度下形成小丘。小丘的形成某种程度上可借助在柠檬酸和去离子水构成的 1% 溶液中的强阳极氧化得到抑制, 然而, 随着铝厚度的增大, 形成的小丘也增多。因为有小丘的形成伴同时存在 TFT 薄栅绝缘体 (3000 埃或更薄), 所以 TFT 的栅金属只能由薄层 (小于几千埃) 铝的阳极氧化形成了稳定的具有常数约为 7 的氧化铝 (Al_2O_3), 可用作电容, 然而, 随后形成电容所需的高温处理降低了其性能。

3. 难熔金属/铝金属复合物作为第一金属栅结构

为努力抑制小丘的形成和获得高导电率, 采取了铝和难熔金属结合的方法。一种方法是首先淀积约 1200 埃的铝层 110, 并构图铝, 然后在铝上淀积大约 2000 埃厚的钽 112, 然后将之与铝分开单独构图。这种方法有利于冗余性, 但两掩模层和两步分开的淀积花费大。为实现钽在铝上的良好台阶覆盖, 钽层必须约为铝层 110 厚的 1.5 倍。由于钽或其它难熔金属的最大允许厚度为约 2000 埃, 所以铝层厚度不能超过约 1300 埃。尽管该方法适于中间尺寸的显示器, 但大面积显示器要求较厚的铝层, 以便为众多灰影提供充分的导电性。

另一方法是依次淀积铝 110 和钽 112, 然后用光刻胶构图, 先腐蚀钽后腐蚀铝。该方法的缺点是铝腐蚀在钽边缘下留下凸缘 114, 如图 5C 所示。在随后的处理淀积过程中, 可能会在凸缘 114 下俘获空气泡和化学试剂, 导致台阶覆盖和可靠性问题。

4.深腐蚀第一金属系统

一般情况下，所腐蚀的 5000 埃厚或更大厚度的金属 108 相对于内金属介质 104 和第二金属 102 生了台阶覆盖问题。在栅绝缘体一般限于最大约 3000 埃的 TFT 的情况下，该问题变得最差、人们试图在腐蚀过程中使金属层 108 的边缘逐渐变薄，以将台阶覆盖问题减轻到最低程度。

图 6A — 6Q 展示子多层高导电性线的第一实施例和形成 TFT120 的处理步骤，该多层线作为本发明改进的倒置栅矩阵 TFT120 的一部分。首先清洗玻璃基片 122，然后淀积各金属层，第一层 124 为 Ta (50-100 埃)、第二层 126 为 Al 或 Al 合金 (1000 — 10000 埃)，第三层 128 是 Ta (1000-2000 埃)。然后涂敷光刻胶 130 (图 6B)，并构图，形成第一金属层 132。所有要进行阳极氧化的金属必须与引到基片边缘的总线条 (未示出) 相连，在阳极氧化期间在基片边缘形成电连接。必须保证这种电接触区在阳极氧化期间不与阳极氧化液接触。

然后用氟基等离子体或 RIE (反应离子刻蚀) 化学试剂如 NF_3 或 CF_4 干法腐蚀上 Ta 层。由于光刻胶或 Al 层 126 都在氟基化学试剂中腐蚀，所以腐蚀停止于 Al 层 126 上。然后将基片 122 放置于由去离子水和 2 % 的柠檬酸构成的阳极氧化液中。另外也可以用弱阳极氧化铝—即形成多孔 Al_2O_3 的其它酸或浓度，这将导致厚度与阳极氧化电压的依赖关系。然后以 $0.05\text{--}0.5\text{ma/cm}^2$ 的恒流模式和约 4 — 10 伏的箝位电压阳极氧化铝。在阳极氧化过程中，未腐蚀的上部 Ta 层 132 上的光刻胶 130 保持钽不被阳极氧化。阳极氧化一直持续到所有暴露的铝 134 转换成 Al_2O_3 为止，持续时间正比于 Al 层 126 的厚度 (图 6C)。

Al 层 126 的阳极氧化完成后，阳极氧化电压开始上升，直到达到箝位电压 (4 — 10 伏)，此时电流开始回落。10 分钟后电流回落到几毫安，此时漂洗各基片 122 并干燥。阳极氧化后，因为仍有 Ta 薄层 124，还没有全部转变成 Ta_2O_5 ，所以基片 122 的性质将变为半传导和半金属化。 Al_2O_3 的难熔指数为 1.7-1.8，对基片 122 的传导性几乎没有影响。

上述结构的下层钽层 124 的意义在于，其对玻璃基片 122 具有极好的粘性，在第一阳极氧化步骤中不会被全部阳极氧化。第一 Ta 层 124 的厚度选择为使层 124 不会被上述的箝位电压所阳极氧化。要防止下层 Ta 层 124 被阳极氧化的理由是其应该在铝的阳极氧化期间保持为导电

Figure 1 consists of three scatter plots, each with 'Number of children in the household' on the x-axis and 'Number of children in the neighborhood' on the y-axis. The left plot shows a positive correlation with a regression line sloping upwards. The middle plot shows a negative correlation with a regression line sloping downwards. The right plot shows no correlation with a horizontal regression line.



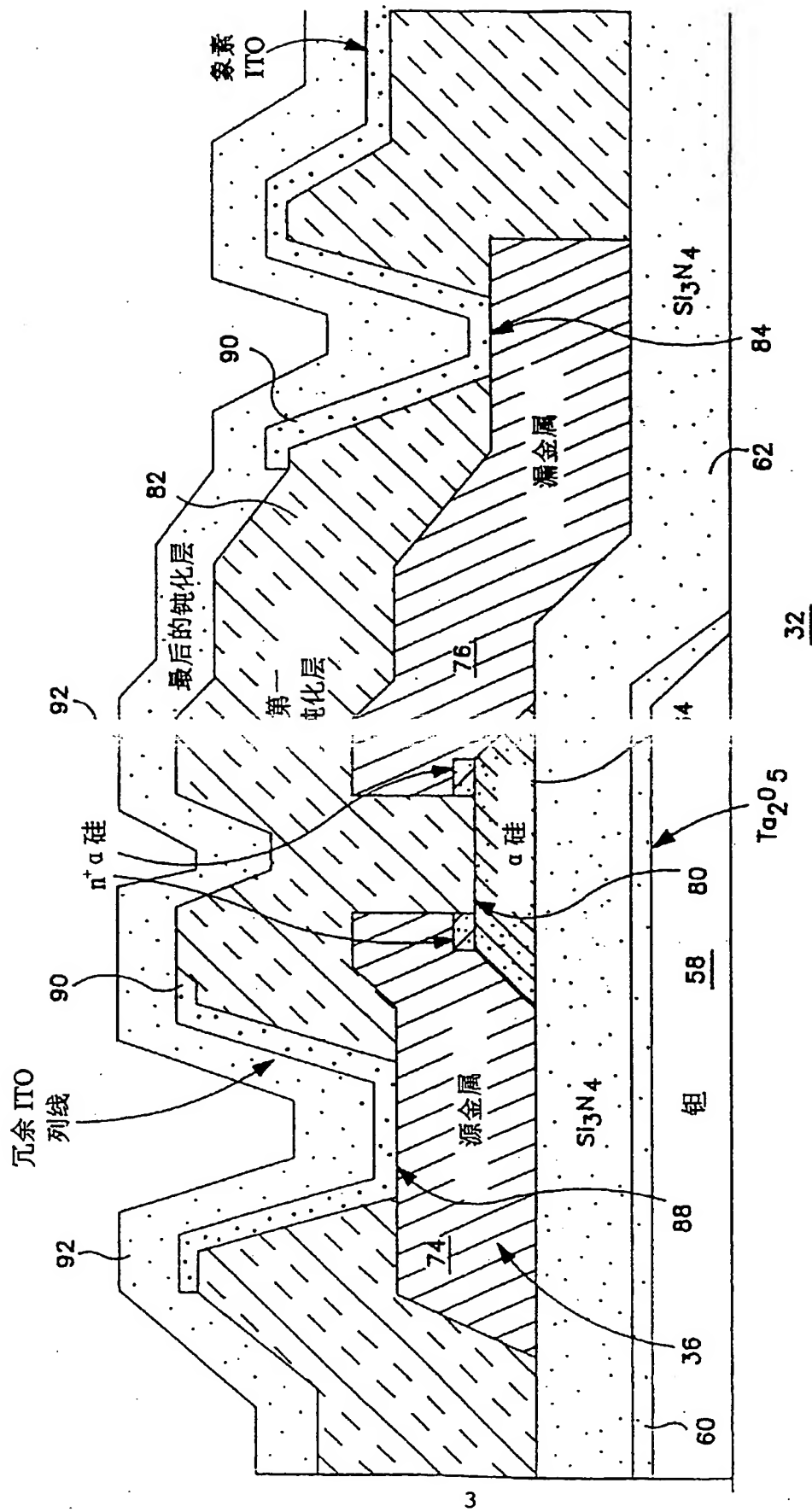


图 3

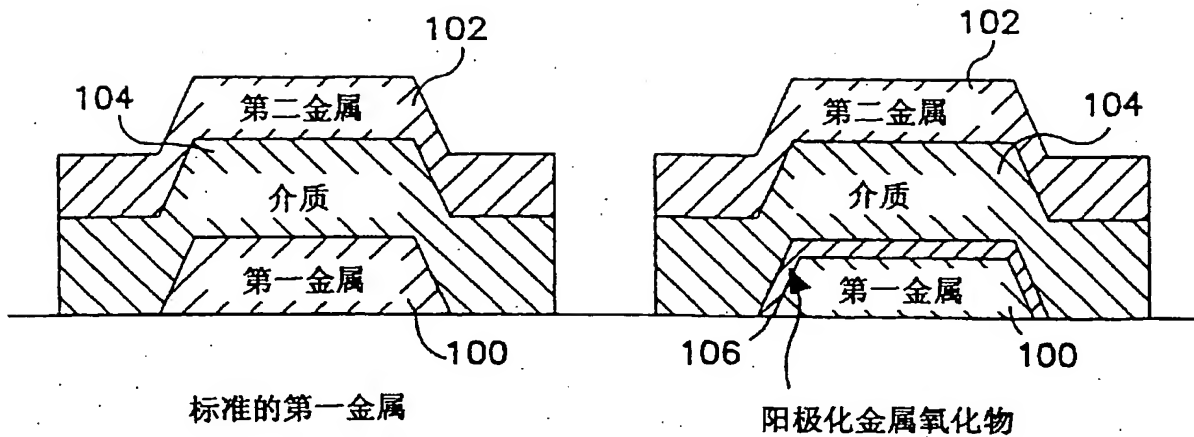


图 4A

图 4B

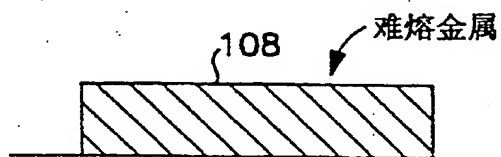


图 5A

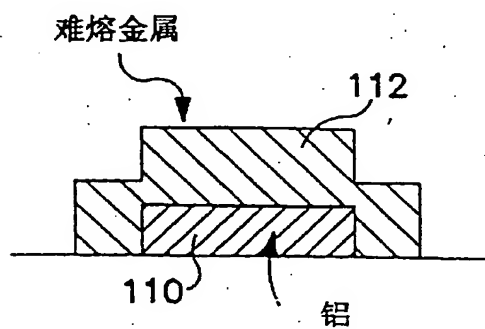


图 5B

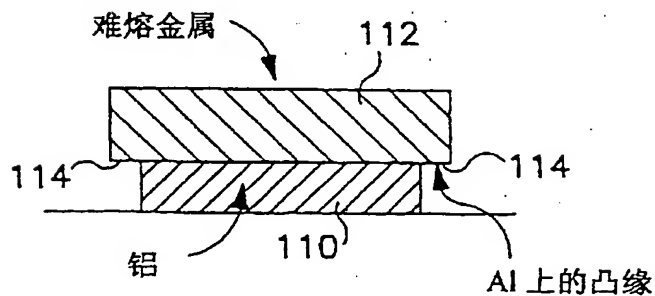


图 5C

1) 淀积钽、
铝和钽层

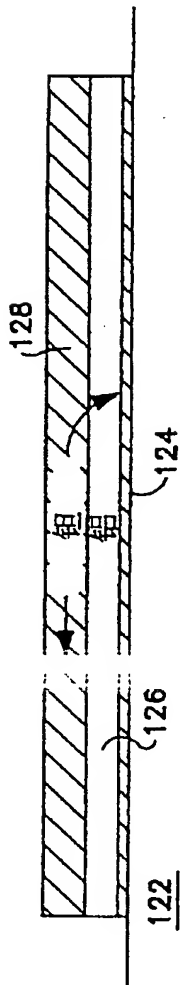


图 6A

2) 涂光刻胶、构图、
腐蚀 Ta

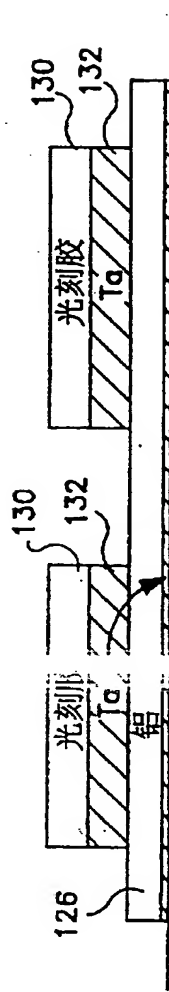


图 6B

3) 阳极氧化铝

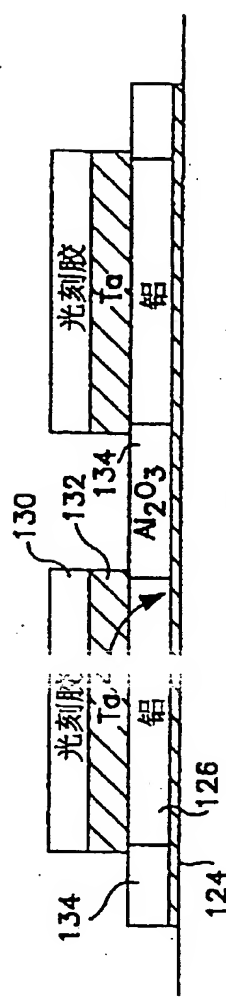


图 6C

4) 剥离光刻胶，用光刻胶
在阵列外围构图接触焊
盘以禁止阳极氧化

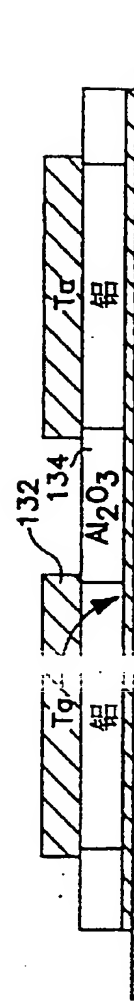


图 6D

5) 阳极氧化
Ta 到 60 伏

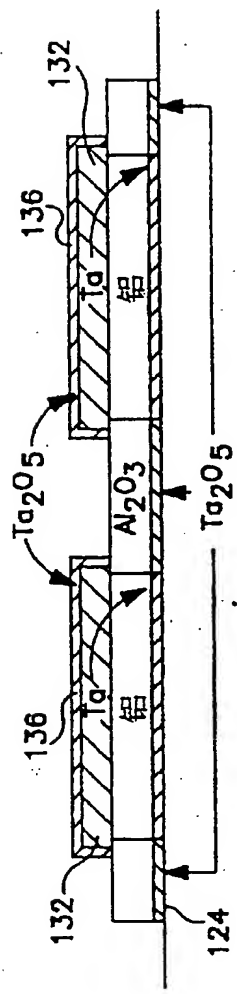


图 6E

6) 淀积 Si_3N_4 , α -硅,
 n^+ 硅, 构图并腐蚀
 n^+ 和 α 硅

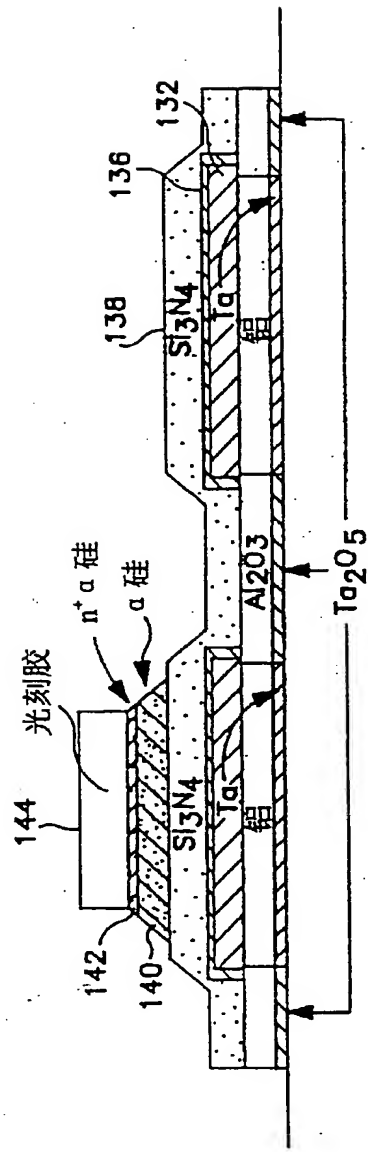


图 6F

7) 剥离光刻胶
并阳极氧化

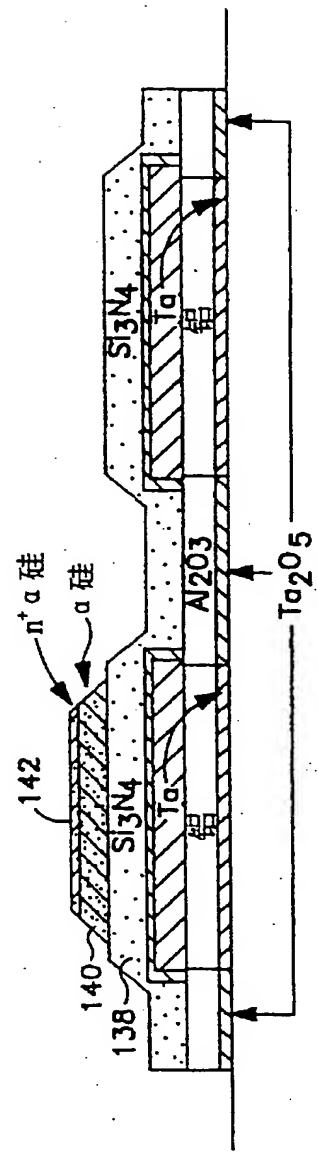
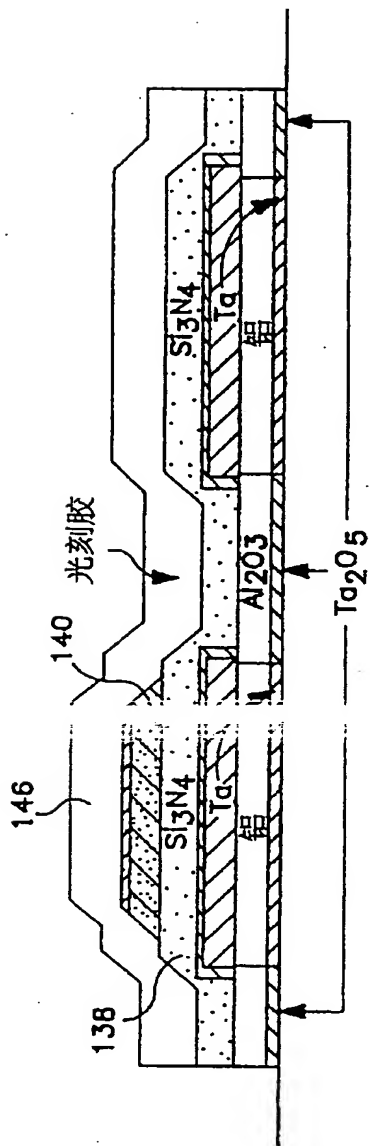
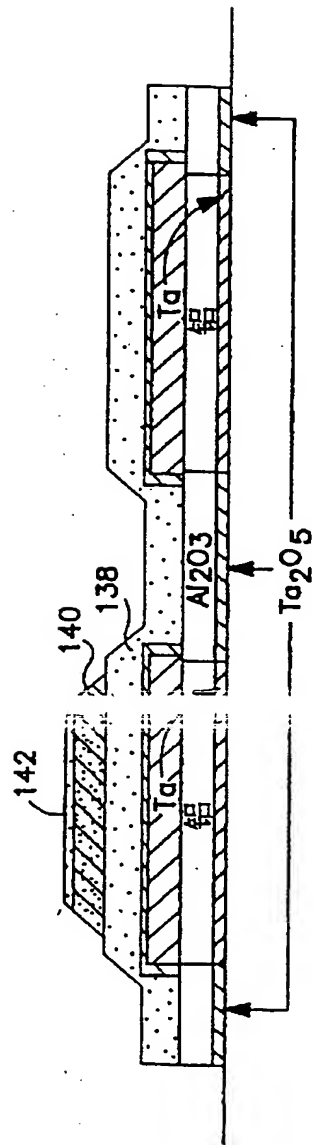


图 6G



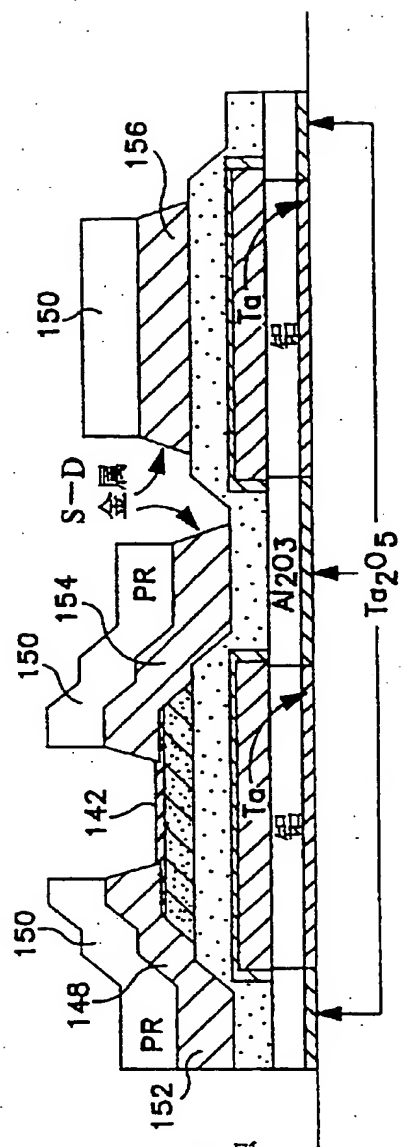
8) 涂光刻胶, 构图并
腐蚀 Si_3N_4 至矩阵
外的 Ta 接触焊盘。

图 6H

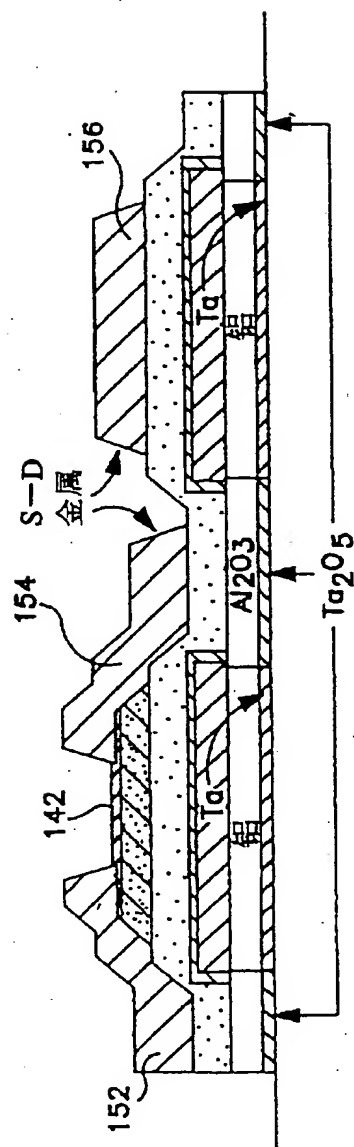


9) 剥离光刻胶

图 6I



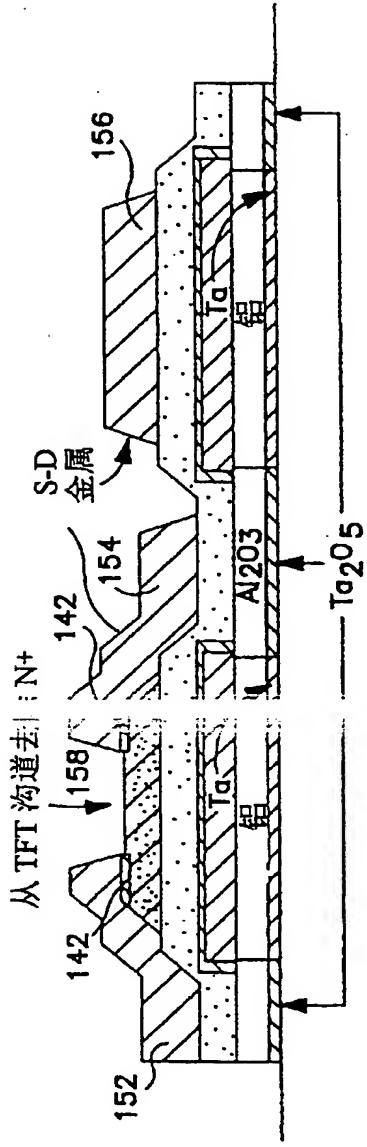
19



6K
圖

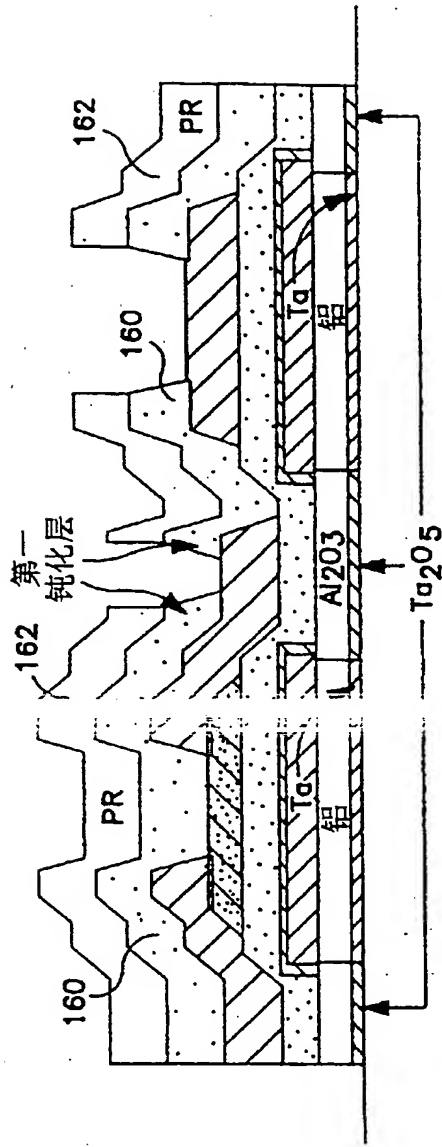
10) 淀积并构图 S-D 金属, 构图并腐蚀

11) 剥离光刻胶



12) 腐蚀 N^+ α 硅

图 6L



13) 淀积、构图并
腐蚀钝化层

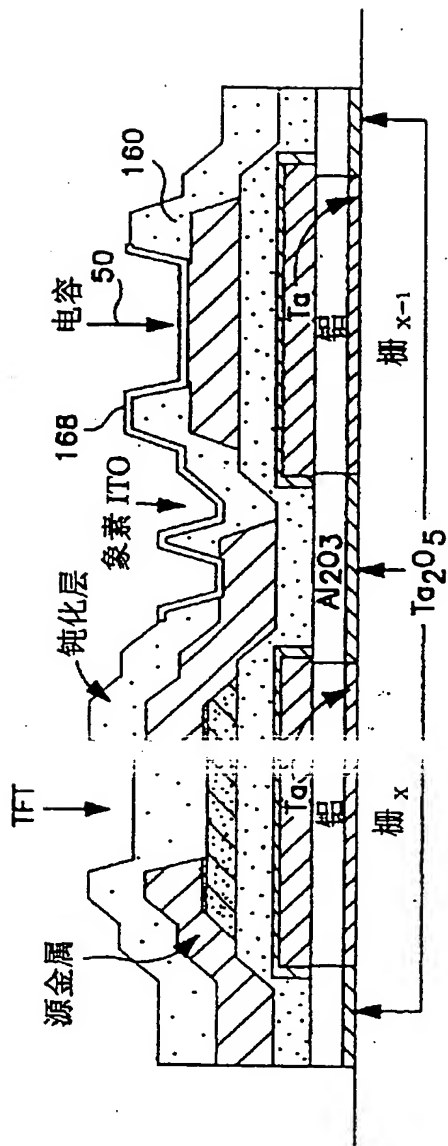
图 6M

[illegible]

10

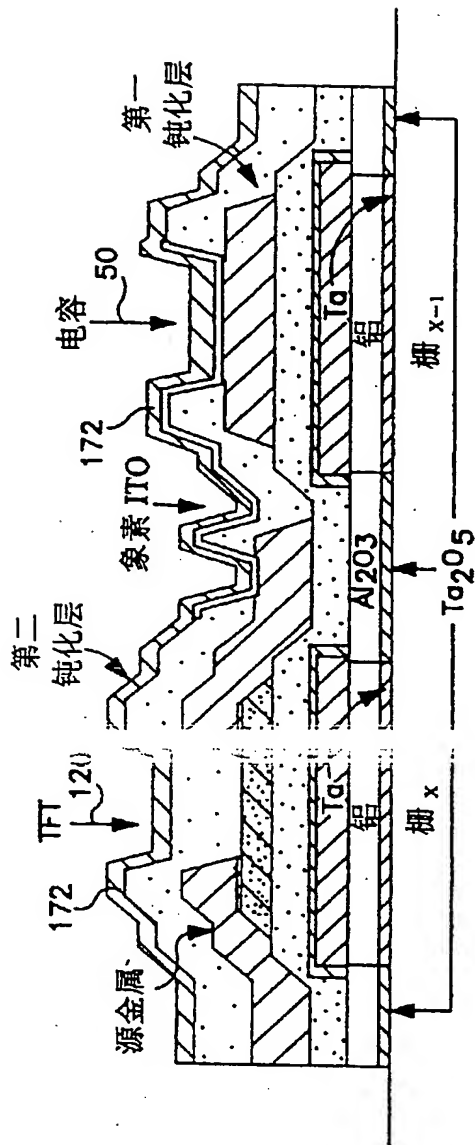
This diagram shows a cross-section of a semiconductor device. At the bottom is a source metal layer. Above it is a TFT (Thin-Film Transistor) layer. A PR (Photoresist) layer is patterned over the TFT. The PR layer has a series of rectangular openings. In the first opening, there is a Ta (Tantalum) layer. In the second opening, there is an Al (Aluminum) layer. In the third opening, there is a Ta₂O₅ (Tantalum Pentoxide) layer. The PR layer is labeled 168. The TFT layer is labeled TFT. The source metal layer is labeled 源金属. The Ta layer is labeled Ta. The Al layer is labeled Al. The Ta₂O₅ layer is labeled Ta₂O₅. The PR layer has a thickness of 50. The TFT layer has a thickness of 170. The Ta layer is labeled 栅 x. The Al layer is labeled 栅 x-1. The Ta₂O₅ layer is labeled 栅 x-1. The capacitor structure is labeled 电容.

60



16) 剥离
光刻胶

图 6P



17) 淀积第 2 钝化层,
构图, 并从显示器
外围的键合焊盘上
去除钝化层

图 6Q

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.